

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-320017

(43)Date of publication of application : 08.12.1995

(51)Int.Cl. G06K 19/07

G06F 3/08

G06F 12/16

G11C 16/06

(21)Application number : 06-111507

(71)Applicant : FUJI PHOTO FILM CO LTD

(22)Date of filing : 25.05.1994

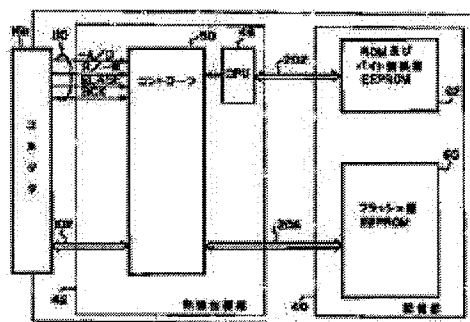
(72)Inventor : SAITO OSAMU

(54) IC MEMORY CARD

(57)Abstract:

PURPOSE: To use an IC memory card continuously even if data of the IC memory card become abnormal.

CONSTITUTION: The IC memory card 18 has an EEPROM 60 as a data area where data sent from a host equipment are stored, a CPU 46 which manages data written in and read out of the EEPROM 60, and a controller 50 which sends and receives data and a control signal between the EEPROM 60, and CPU 46 and host equipment, and is connected to the host equipment detachably. If an abnormal state such as the detachment from the host equipment and a power source disconnection is caused while the memory card 18 connected to the host equipment writes received data in the EEPROM 60, a flag for discriminating the occurrence of this abnormal state is stored in an EEPROM 62 as the management area. The CPU 46 once receiving a system reset command from the host equipment can erase all the storage contents of rewritable storage areas of the EEPROMs 60 and 62. The system can be reset in an initialization command if the flag indicates an abnormal state.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The 1st rewritable nonvolatile memory that memorizes data which is connected to host equipment removable and transmitted from this host equipment.

The 1st control means that manages data which is written in the 1st memory and read from the 1st memory, and the 2nd control means that performs transfer of data and a control signal between the 1st memory and the 1st control means, and said host equipment.

Are the above the IC memory card which it had, and this memory card, Have the 2nd rewritable nonvolatile memory that stores variable management information for managing a state of said data in the 1st memory, and the 1st control means, If it has the 1st command that eliminates a memory content memorized by the 1st and 2nd memories and the 1st command is received from said host equipment, a memory content memorized by the 1st and 2nd memories will be eliminated.

[Claim 2]In the IC memory card according to claim 1, the 2nd memory, Abnormal operation under writing to the 1st memory including a discrimination expression to display the 1st control means, If abnormal operation arises when receiving said data from host equipment to which this IC memory card was connected and writing in the 1st memory, Set said discrimination expression as a significant condition, and the 1st control means, An IC memory card eliminating a memory content memorized by the 1st and 2nd memories if said discrimination expression is a significant condition when it has the 2nd command that eliminates a memory content memorized by the 1st memory and the 2nd command is received from said host equipment.

[Claim 3]An IC memory card if the 2nd command is received from said host equipment and said discrimination expression is not a significant condition in the IC memory card according to claim 2, wherein the 1st control means will eliminate a memory content memorized by the 1st memory.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the IC memory card by which semiconductor memory, such as EEPROM (it is ROM in which elimination and a rewrite are possible electrically), is carried, concerning the IC memory card for memorizing the data of image data, alphabetic data, etc.

[0002]

[Description of the Prior Art]In recent years, for example, a digital still camera, the IC memory card using semiconductor memory as a medium which memorizes the image data showing the photoed picture has come to be used. EEPROM which does not need the battery for holding a memory content as semiconductor memory used for an IC memory card is advantageous. As everyone knows, EEPROM divides roughly and has a byte rewriting type and a flash plate type. While byte rewriting type EEPROM can perform rewriting of data for every byte, since the miniaturization of a storage cell is difficult, it is not suitable for constituting the IC memory card which has a mass storage capacity. There are a collective erasure type and a fractional elimination type in flash plate type EEPROM, and since these can constitute a storage cell small, they can constitute a mass IC memory card.

Therefore, the IC memory card which comprised a flash plate type EEPROM is advantageously applied to the digital still camera which deals with image data with much data volume, for example.

[0003]As for especially the IC memory card (flash memory card is only called.) that comprised a flash plate type EEPROM, it is desirable to take compatibility with the IC memory card which used static RAM (SRAM). In this case, it is good for flash memory card to have an interface of the IC memory card which used SRAM, and the almost same interface, and to constitute so that reading-and-writing control of the data to EEPROM may be performed in the control circuit in flash memory card. There are some to which standardization of the IC memory card used with a digital still camera in Japan Electronic Industry Development Association (JEIDA) is advanced as an example of such an IC memory card.

[0004]According to this system, the storage area of an IC memory card comprises two or more clusters, and the image data memorized forms the packet as a logical set of 1 picture top etc., for example, and is memorized by a cluster unit. Furthermore, a storage area is constituted by the management domain where the management data for managing the image data to memorize is memorized, and the image data area where image data is memorized. The management data field has each field where attribution information, header information, packet identification information, directory information, and MAT (Memory Allocation Table) information are memorized further. Image data is memorized in an image data area by making into a unit the logical packet containing one or more clusters. The start of this packet is directed as a start address of a leading cluster in directory information, and when two or more clusters relate to that image data, relation of the cluster relevant

to that packet is directed in MAT. The attribute showing the classification of a packet and the state of a packet which are memorized is directed in packet identification information.

[0005]

[Problem to be solved by the invention]The above flash memory card has a long write time of data compared with the IC memory card by SRAM. Although the image data produced by being photoed with a digital still camera has much data volume therefore, while it is written in the IC memory card, there are many dangers that this IC memory card will be extracted and that what is called "live-wire extraction" will occur. When live-wire extraction occurs during the writing of data, in the storage area. When it will still be the state where data was written in to the middle, unusual data will be written in, for example, a management domain was spoiled and it was the worst, there was a problem of it becoming impossible to completely read the data already memorized by the IC memory card.

[0006]As one measure on this problem, the identification information showing the abnormalities of a packet to a data identification field. To a management domain, memorize the identification information showing the existence of live-wire extraction as each identification flag, and to it a host processor, With these flags, it recognizes during the writing of which packet live-wire extraction was carried out, and there is a Storage and File Management Sub-Division system which makes the damage which the data memorized in the IC memory card received reduce. The same applicant as an application concerned has already applied for this by the inventor (Japanese Patent Application No. 5-33172). However, this Storage and File Management Sub-Division system is premised on management data being normal. When management data is damaged by abnormal operation, such as live-wire extraction and power supply cutoff, it may be unable to correspond only by this method. It becomes impossible in such a case, to use an IC memory card succeeding too.

[0007]An object of this invention is to provide the IC memory card in which the continuous use of the IC memory card is possible, even when the fault of such conventional technology is canceled, abnormalities arise in writing operation in the data write to an IC memory card and the management data in a card is destroyed even if.

[0008]

[Means for solving problem]The 1st rewritable nonvolatile memory that memorizes the data which according to this invention is connected to host equipment removable and transmitted from host equipment in order to attain this purpose, The 1st control means that manages the data which is written in the 1st memory and read from the 1st memory, The IC memory card which has the 2nd control means that performs transfer of data and a control signal between the 1st memory and the 1st control means, and host equipment, Have the 2nd rewritable nonvolatile memory that stores the variable management information for managing the state of the data in the 1st memory, and the 1st control means, If it has the 1st command that eliminates the memory content memorized by the 1st and 2nd memories and the 1st command is received from host equipment, the memory content memorized by the 1st and 2nd memories will be eliminated.

[0009]According to this invention, in such an IC memory card again the 2nd memory, The abnormal operation under writing to the 1st memory including the discrimination expression to display the 1st control means, When receiving data from the host equipment to which the IC memory card was connected, writing in the 1st memory and abnormal operation arises, set a discrimination expression as a significant condition and the 1st control means, If a discrimination expression is a significant condition when it has the 2nd command that eliminates the memory content memorized by the 1st memory and the 2nd command is received from host equipment, the memory content memorized by the 1st and 2nd memories will be eliminated.

[0010]

[Function]Therefore, the IC memory card by this invention, When the IC memory card connected to host equipment receives the data transmitted from host equipment and encounters abnormal

conditions, such as secession and power off, from host equipment during memory to the 1st memory, the discrimination expression for identifying that this abnormal condition occurred is memorized to the 2nd memory. The operator can know the data abnormality of an IC memory card from host equipment.

[0011]If the 1st command is received from host equipment, the memory content memorized by the 1st memory and 3rd memory will be eliminated. Thereby, the IC memory card which encountered abnormal operation can also use this continuously henceforth.

[0012]If the 2nd command is received from host equipment, if the significant identification signal is memorized, the 1st control means will eliminate the memory content of the 1st and 2nd memories, otherwise, will eliminate the memory content of the 1st memory.

[0013]

[Working example]Next, with reference to an accompanying drawing, the embodiment of the IC memory card by this invention is described in detail. Reference of drawing 2 shows the embodiment of the digital still camera 10 with which the IC memory card of this invention is applied. The digital still camera 10 follows operation of a shutter release button (not shown), It is equipment which changes into an electrical signal the optical image which carried out image formation to the imaging surface of the image sensor 14 via the lens 12, changes this signal into digital image data, performs data processing, such as compression processing, to image data, and writes the processed image data in IC memory card 18 loaded by the camera 10. IC memory card 18 is combined with the connector 16a of the camera 10 by the connector 16b (drawing 1), enabling free attachment and detachment.

[0014]IC memory card 18 in this embodiment can use this succeedingly, even when abnormal operation occurs and a certain inconvenience arises to data in IC memory card 18. "Abnormal operation" means here treatment of what is called "live-wire extraction" and system power being intercepted by which the card 18 is drawn out by a certain Reason during writing of data from the camera 10 to IC memory card 18 and which is not normal. In the following explanation, a portion which is directly unrelated to an understanding of this invention omits a graphic display and its explanation. A signal is expressed with a reference number of the appearing path cord.

[0015]The lens 12 to which this camera 10 makes the image sensor 14 carry out image formation of the light flux which enters from a photographic subject, The image sensor 14 which outputs a picture signal showing an object image which carried out image formation, and the digital disposal circuit 20 which amplifies this picture signal and performs signal processing, such as color correction and a gamma correction, The analog-to-digital (A/D) conversion circuit 22 which changes a processed picture signal into digital image data, Having the data processing circuit 24 which performs mark processing of compression encoding etc. to image data, and holds image data after processing temporarily, these circuits constitute the camera part 26 which picturizes a photographic subject.

[0016]The data selector 30 which performs data transfer with IC memory card 18 which the camera 10 switches again connection of the bus line to which data and an address are transmitted, and passes the connectors 16a and 16b, The management information read circuit 32 which reads the management data memorized by IC memory card 18, It has the management information update circuit 34 which updates the management data memorized by the memory card 18, and the system control part 36 which controls the camera part 26 and performs write-in control of the image data to the memory card 18 further.

[0017]The data selector 30 is a selection circuitry which chooses the bus which should connect with the bus 102 according to the switching signal from the system control part 36 inputted into the input 100. In detail, it is connected to the output 28 of the camera part 26, and the data selector 30 connects the bus 28 to the bus 102 according to the switching signal 100 from the system control part 36 inputted into the input 100. The data selector 30 is connected also to the input 104 of the management information read circuit 32, and the output 106 of the management information update

circuit 34 again, The bus 102 is connected to the bus 106 when the bus 102 is connected to the bus 104 according to the switching signal 100 when reading the management data memorized by IC memory card 18, and management data writes in the memory card 18. Furthermore, the data selector 30 connects the bus 102 to the bus 108 according to the switching signal 100, and transmits the address outputted from the output 108 of the system control part 36 to IC memory card 18.

[0018]The management information read circuit 32 is a circuit which acquires information required in order to write in the image data which read the below-mentioned management data memorized by IC memory card 18 under control of the system control part 36, and was obtained by the camera part 26. The management information read circuit 32 is transmitted to the system control part 36 by which the read management data was connected to the output 112. The management information update circuit 34 is a circuit which updates management data for Storage and File Management Sub-Division of image data, and memorizes the updated management data to the memory card 18 according to control of the system control part 36, when image data is written in the memory card 18 under control of the system control part 36. It is connected to the output 114 of the system control part 36, and the management information update circuit 34 recognizes the present management data which appears in the input 114. The management information update circuit 34 generates the new management data for memorizing the image data obtained by the camera part 26 to the memory card 18 based on the recognized management data. The management information update circuit 34 outputs the updated management data to the output 106 according to control of the system control part 36. If the information for writing in the below-mentioned live-wire extraction flag from the system control part 36 is transmitted, according to the transmitted information, the management information update circuit 34 will set a live-wire extraction flag to "1" or "0", and will write it in the memory card 18. If the information for writing in the below-mentioned abnormal packet bit from the system control part 36 is transmitted, the management information update circuit 34 will set an abnormal packet bit to "1" or "0" according to the transmitted information, and will write it in the memory card 18.

[0019]The system control part 36 is a circuit which controls operation of the whole camera 10. In this embodiment, it has the function to perform control which writes the image data obtained by taking a photograph by controlling the camera part 26 following manual operation buttons, such as a shutter release button, in IC memory card 18.

For this reason, the system control part 36 performs drive controlling of IC memory card 18 with which the connector 16a was equipped.

[0020]In detail, the system control part 36 generates control signal-A/D (drawing 1) for driving the memory card 18, control signal R/-W, the control signal ELASE, and the bus clock BCK, and outputs them to the output 110. The output 110 of the system control part 36 is connected to the connector 16a. The system control part 36 generates the switching signal for controlling the data selector 30, and outputs it to the output 110. The output 110 of the system control part 36 is connected to the data selector 30. The system control part 36 transmits the management data read in the management information read circuit 32 to the management information update circuit 34, and when it memorizes the image data obtained by the camera part 26 to the memory card 18, it makes the management data for managing this image data generate furthermore. The system control part 36 has the function to transmit the directions for writing a live-wire extraction flag and an abnormal packet bit in the memory card 18 to the management information update circuit 34. A live-wire extraction flag is a flag for IC memory card 18 to mean that abnormal operation, such as extraction or power off, was performed into data write. An abnormal packet bit is a flag for writing in at the time of this extraction and expressing that it was an intermediate packet.

[0021]On the other hand, IC memory card 18 in an embodiment is provided with the storage parts store 40 which memorizes the management data for managing image data and its memory, and the storage control part 42 which performs write-in control and read-out control of the data to the

storage parts store 40 as shown in drawing 1. The storage parts store 40 includes a data area and a management domain. A data area is a memory area which memorizes image data.

It comprises this example electrically flash plate type EEPROM 60 in which elimination and a rewrite are possible.

A management domain is a memory area which memorizes various kinds of information for managing the stored image data of EEPROM 60.

For example, it is constituted by a read-only ROM cell and the byte rewriting type EEPROM cell.

The reference mark 62 shows this. The constant in which a memory content is formed is stored by WAIYADO, and, as for the ROM cell which constitutes the management domain 62, variable information is stored in an EEPROM cell.

[0022]ROM is assigned to the card attribute information area 310, and the storage cell of both the systems in the management domain 62 assigns EEPROM to the other fields 320, 330, 340, 350, and 360, as shown in drawing 3. The card attribute field 310 for example, using a ROM cell for this including constants, such as that the memory card 18 is a flash plate type and being EEPROM, It is also for change not arising to the data memorized to this field 310, and avoiding change of the contents by abnormal operation. The byte rewriting type EEPROM cell which can rewrite data for every byte is assigned to other fields of the management domain 62. A rewritable flash plate type EEPROM cell is assigned to the image data area 60 of another side for every block.

[0023]the controller 50 by which it returns to drawing 1 and the storage control part 42 of IC memory card 18 performs read/write of flash plate type EEPROM60, and the central processing unit (CPU) which performs the sequence and address control of the controller 50 and the management domain 62 -- it has 46. The controller 50 performs read/write of flash plate type EEPROM60 based on control signal R/-W given from the camera 10 via the connector 16b, and the address substitution information given from CPU 46. CPU 46 can be accessed to the management domain 62, and performs the read-out write-in sequence and address control of the management domain 62 according to control signal R/-W given from the camera 10 via the connector 16b and the controller 50. The signal of read-out and writing is delivered and received via the path cord 202, and the signal of read-out and writing is delivered [between the data area 60 and the controller 50] between the management domain 62 and CPU 46 and received via the path cord 206 in the storage parts store 40.

[0024]If these management domains 62 and data areas 60 are explained in full detail, as shown in drawing 3, the storage area 300 of the storage parts store 40 is compartmented by the cluster used as the executive unit of a memory. In this embodiment, each cluster has a storage capacity of 8 K bytes, and the storage area 300 comprises the 0th cluster more by the 2047th cluster. The storage area 300 is classified into the management domain 62 and the data area 60 as mentioned above. The card attribute information area 310 where the peculiar information on IC memory card 18 was memorized by the 0th cluster of the management domain 62, The header area 320 where the header information showing the operating condition of the storage area 300, etc. is memorized, The packet identification information areas 330 where the attribute and classification of data which constitute the packet used as the storage unit of image data are memorized, and the packet pertinent information field 340 where a packet related for every packet is memorized are stored as management information. The directory information area 350 where the identification information of the start cluster which shows the cluster of the head of each packet is memorized by the 1st cluster of the management domain 62, MAT the identification information of the cluster the image data is remembered to be for every packet is remembered to be as a chain The field (Memory Allocation Table) 360 is formed.

[0025]Especially in the card attribute field 310 constituted by ROM. As shown in drawing 4, the peculiar processing step and program which are executed by CPU 46 other than the data of the kinds of memory cell which constitutes each field and those lead times, a light time, etc. at the memory

card 18 are stored. In the header information field 320 shown in drawing 5, it is contained by the temporary information tuple 370 and to this. Storage area 300 It is updated and written in whenever the parity an inner intact remains cluster number and operating cluster number, an end-use packet number, a head intact cluster number, and the mark for detecting the error of these information are remembered to be is memory of a packet. Address substitution information and a live-wire extraction flag are memorized by the temporary information tuple 370 of this embodiment.

[0026]Address substitution information is an address translation table of logic-memories space versus real storage space, as shown in drawing 6.

It is for excepting the defective memory element of the data area 60 in the sector unit containing it. By excluding to the outside from the minimum logical address 1 accessed for data storage to maximum address N (natural number), access of memory of the image data to this is not performed, and the element or sector which produced the defect in the memory storage function is made. The real storage space M (larger natural number than N) and the logic-memories space N are satisfied with the substitution table of drawing 6 hung up as an example of condition $M \geq N+k$, and the case where there is no defective memory element and logic-memories space and real storage space correspond to 1 to 1 is shown in the figure (b) by it. On the other hand, the case where the defect sector of k natural numbers arises is shown in the figure (b). The address of $N+2$ [larger] - $N+j$ as an address of real storage space than the maximum N is given to the logical addresses i-j of the memory site containing a defective element, and it is rearranged by this besides a logical address space so that it may understand from now on. In the case of such memory space, CPU 46 performs a position by this example. By being able to know the mismatching of a parity bit, for example because CPU 46 detects, and using address substitution information, the defective memory element can stop use of a defective memory element, and can secure the image data storage region of an always normal state.

[0027]The live-wire extraction flag in the temporary information tuple 370, When starting the writing of image data, in advance of the writing of the packet to the data area 60 and renewal of the management data memorized in the management domain 62, and writing, CPU 46 sets up binary value "1", and when the writing of a packet is completed, it is set as binary value "0" from CPU 46.

Therefore, as for the memory card 18 which the packet to IC memory card 18 and the writing of management data were normally performed, and was ended, the live-wire extraction flag is "0." In the card 18 which extraction of the memory card 18 was carried out during the writing of a packet and management data, and writing interrupted, while the live-wire extraction flag has been "1", the temporary information tuple 370 memorizes.

[0028]It is a field where 1 byte is assigned to the packet identification information areas 330 corresponding to each of the packet memorized in the data area 60, and the identification information of a corresponding packet is memorized. This identification information 330 comprises classification showing the kind of data of a packet, and an attribute showing the state of a packet. In this embodiment, as the kind of packet is shown in drawing 7 (a), corresponding to the packet memorized in the data area 60, "0" is set, respectively to the identification information D2-D0 to which it expresses that it is picture information, i.e., bits.

[0029]The attribute of a packet is the figure (b). The remaining bits D7-D3 are assigned, and the bit D7 is a used bit which shows that the packet is memorized corresponding to a packet too so that it may be shown.

The bit D6 is a write protect bit which shows the propriety of the writing to this packet, The bit D5 is an abnormal packet bit which shows that abnormal operation, such as live-wire extraction, was carried out during the writing of the data of this packet, The bit D4 is a copy protection bit which shows the propriety of the duplicate of the information memorized, and the bit D3 is a copied bit which shows whether it is no for whether reproduction of the memory card 18 was performed.

[0030] Especially the abnormal packet bit D5 precedes memory of a corresponding packet. Immediately after the binary value "1" as identification information of the packet is written in the packet identification information areas 330 by CPU 46 and memory of the packet serves as the completion of memory normally, binary value "0" is written in. Therefore, the abnormal packet bit of the packet identification information corresponding to the packet bit memorized normally is set to "0." If extraction of IC memory card 18 is carried out during the storage operation of a certain packet and the writing of packet data is interrupted for example, the abnormal packet bit corresponding to the packet is memorized in the packet identification information areas 330 with binary value "1."

[0031] It returns to drawing 3, and the 2nd cluster – the 2047th cluster are assigned and, as for the data area 60 of the storage area 300, the image data photoed with the camera 10 is stored in each cluster. For example the image data showing the picture of one top occupies two or more clusters, and is stored in the data area 60 as one packet, and this image data is managed by a packet unit in the management domain 62. Each packet may use two or more continuous clusters, for example, and may use two or more clusters of a jump jump. The number of the start cluster which shows the start of a packet is memorized in the directory information area 350 of the 1st cluster, and the MAT information showing the connection or the chain state of two or more clusters which constitutes the packet is memorized to the MAT field 360.

[0032] Some measures are made to abnormal circumstances, such as live-wire extraction and discontinuation of system power, so that it may understand by above-mentioned explanation. These measures are the image data already memorized to IC memory card 18, and a thing for returning the image data under writing, etc. to an all seems well as much as possible newly. Furthermore, by this example, even when CPU 46 takes the following measures and the data of the management domain 62 is destroyed even if, it is possible henceforth to use it succeedingly and the memory card 18 is made. for this reason — this example — CPU 46 — initialization and the system reset of the memory card 18 — ***** — things are made.

[0033] In initialization, CPU 46 clears all the data of the data area 60, and makes it an initial state, for example, "total 0." In this case, the management domain 62 is not cleared but the already memorized management data can use it continuously. In a system reset, CPU 46 clears all the data in which it is possible (elimination of those other than the constant of the management domain 62 in storage area 300 (i.e., elimination of those other than ROM)). So, in this example, a system-reset command and initialization commands are prepared for CPU 46. CPU46 can eliminate all the data other than ROM in storage area 300, if this system-reset command is received from host processors, such as the camera 10 connected to the card 18, via the controller 50. Therefore, address substitution information is also eliminated in this case. Although CPU 46 has managed the live-wire extraction flag in header information 320 as mentioned above again, if this detects abnormal operation, such as live-wire extraction and system power Takeshi, on condition that initialization commands were received, it can perform a system reset.

[0034] With reference to the flow chart of drawing 8, it explains like initialization in IC memory card 18, and real overshooting of a system reset. The instructions from the host equipment 10 are transmitted to CPU 46 via the controller 50 from the connector 16b. CPU 46 confirms whether the instructions are system-reset commands (S11). If it is a system-reset command, the subroutine S18 of a system reset will be performed. That is, CPU 46 eliminates all the data other than ROM in storage area 300. In Step S11, in not being a system-reset command, CPU 46 distinguishes whether the instructions are initialization commands (S12). When the result of the check of Step S12 is "NO", this routine is ended and it shifts to other correspondence routines.

[0035] If it is initialization commands in Step S12, CPU 46 is the header area 320 of the management domain 62. Temporary information tuple 370 which is inside CHIEKU [an inner live-wire extraction flag is read and / whether it is "1"] (S13). If a live-wire extraction flag is "1", the system-reset

subroutine S18 will be performed. Shifting to Step S14, if a live-wire extraction flag is "0", CPU 46 is the packet identification information areas 330 further. It is confirmed whether the inner abnormal packet bit D7 is "1" (S14). If the abnormal packet bit D7 is "1" as a result of this check, the system-reset subroutine S18 will be performed. If the abnormal packet bit D7 is "0", it will move to Step S15 and the logic error existence in the data in the management domain 62 will be inspected based on a parity bit. When there are several P or more predetermined data errors as a result of this parity check S15, the system-reset subroutine S18 is performed. In Step S16, if a data error is less than P pieces, the initialization step S17 of the data area 60 will be performed, and processing will be ended. That is, CPU 46 clears all the data of the data area 60, and makes this an initial state. SeveralP predetermined is a positive positive number defined according to conditions, such as a storage capacity of storage area 300.

[0036] Thus, in this example, by checking the state of IC memory card 18, not only the case of abnormal operation but the trouble in the initial state by the failure on hard, etc. is detected in the inside of slight illness, and can raise the reliability of IC memory card 18. That an operator can know the existence of generating of abnormal operation will demand right operation from an operator. It becomes easy to check the existence of the abnormalities of a data content.

[0037] Although an above-mentioned embodiment is one suitable embodiment of this invention, this invention is not necessarily limited only to this and can change variously in the range which does not deviate from the summary of this invention. For example, although the ROM area of the management domain 62 was ROM of the wired type, it may also be PROM. It is good also considering other EEPROM portions as SRAM. Capacity distribution of each field is not restricted to distribution of an embodiment.

[0038] In an above-mentioned embodiment, although the host processor was the electronic "still" camera 10, they may be image-data-recording equipment which has a recording function of image data, for example, generates computer graphical data and is recorded, and other host-processing apparatus, such as an image restoration machine. The data to record may not be limited only to image data, but may be other digital data.

[0039]

[Effect of the Invention] From the above explanation, like [it is ***** and] the IC memory card of this invention, For example in the example of image data, when the data of a memory card is damaged by abnormal operation, such as live-wire extraction, when the image data of the specific top is destroyed, a system-reset command can be sent from host equipment, and the influence by this data damage can be lost. Therefore, it becomes possible to use the IC memory card appropriately henceforth.

[0040] If initialization commands are sent from host equipment, a system reset or initialization will be automatically performed with an IC memory card, and damage to data will be canceled.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-320017

(43)公開日 平成7年(1995)12月8日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 K 19/07

G 0 6 F 3/08

12/16

C

3 4 0 P 7608-5B

G 0 6 K 19/ 00

N

G 1 1 C 17/ 00

3 0 9 G

審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く

(21)出願番号

特願平6-111507

(22)出願日

平成6年(1994)5月25日

(71)出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72)発明者 斉藤 理

埼玉県朝霞市泉水三丁目11番46号 富士写

真フイルム株式会社内

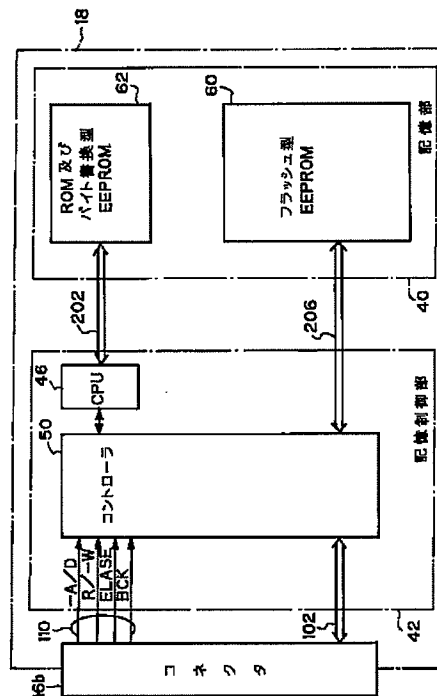
(74)代理人 弁理士 香取 孝雄

(54)【発明の名称】 I Cメモリカード

(57)【要約】 (修正有)

【目的】 ICメモリカードのデータに異常が生じててもメモリカードの継続的使用を可能とする。

【構成】 ICメモリカード18は、ホスト機器から送信されるデータを記憶するデータ領域のEEPROM 60 と、EEPROM 60へ書き込みおよび読出しされるデータを管理するCPU 46と、EEPROM 60およびCPU 46とホスト機器間のデータと制御信号の授受を行うコントローラ50とを有し、ホスト機器へ着脱自在に接続される。ホスト機器へ接続されたメモリカード18がデータを受信してEEPROM 60へ書き込み中にホスト機器から離脱や電源断等の異常状態が生じた場合に、この異常状態の発生を識別するためのフラグが管理領域のEEPROM 62へ記憶される。CPU 46は、ホスト機器からシステムリセットコマンドを受けると、EEPROM 60と62における書換え可能な記憶領域の全記憶内容を消去することができる。初期化コマンドでは、フラグが異常状態を示していれば、システムリセットを行なう。



【特許請求の範囲】

【請求項1】 ホスト機器に着脱可能に接続され、該ホスト機器から送信されるデータを記憶する書換え可能な不揮発性の第1のメモリと、第1のメモリへ書き込まれ、第1のメモリから読み出されるデータを管理する第1の制御手段と、第1のメモリおよび第1の制御手段と前記ホスト機器との間でデータおよび制御信号の授受を行う第2の制御手段とを有するICメモリカードにおいて、該メモリカードは、

第1のメモリにおける前記データの状態を管理するための可変的な管理情報を格納する、書換え可能な不揮発性の第2のメモリを有し、

第1の制御手段は、第1および第2のメモリに記憶されている記憶内容を消去する第1のコマンドを備え、前記ホスト機器から第1のコマンドを受けると、第1および第2のメモリに記憶されている記憶内容を消去することを特徴とするICメモリカード。

【請求項2】 請求項1に記載のICメモリカードにおいて、

第2のメモリは、第1のメモリへの書込み中における異常操作を表示する識別表示を含み、

第1の制御手段は、該ICメモリカードが接続されたホスト機器から前記データを受信して第1のメモリへ書き込んでいる際に異常操作が生ずると、前記識別表示を有意状態に設定し、

第1の制御手段は、第1のメモリに記憶されている記憶内容を消去する第2のコマンドを備え、前記ホスト機器から第2のコマンドを受けると、前記識別表示が有意状態であれば、第1および第2のメモリに記憶されている記憶内容を消去することを特徴とするICメモリカード。

【請求項3】 請求項2に記載のICメモリカードにおいて、第1の制御手段は、前記ホスト機器から第2のコマンドを受けると、前記識別表示が有意状態でなければ、第1のメモリに記憶されている記憶内容を消去することを特徴とするICメモリカード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像データや文字データなどのデータを記憶するためのICメモリカードに関し、たとえばEEPROM（電氣的に消去および再書込みが可能なROM）などの半導体メモリが搭載されたICメモリカードに関するものである。

【0002】

【従来の技術】 近年、例えばデジタルスチルカメラにおいて、撮影した画像を表す画像データを記憶する媒体として半導体メモリを用いたICメモリカードが使用されるようになってきた。ICメモリカードに使用される半導体メモリとして、記憶内容を保持するためのバッテリーが不要のEEPROMが有利である。周知のようにEEPROMは、大別してバイト書換型とフラッシュ型とがある。バイト書

換型のEEPROMは、1バイト毎にデータの書換えができる反面、記憶セルの小型化が困難のため、大容量の記憶容量を有するICメモリカードを構成するには適さない。また、フラッシュ型のEEPROMには、一括消去型と部分消去型とがあり、これらは、記憶セルを小さく構成することができるため、大容量のICメモリカードを構成することができる。したがって、例えば、データ量の多い画像データを取り扱うデジタルスチルカメラには、フラッシュ型EEPROMにて構成されたICメモリカードが有利に適用される。

【0003】 とくに、フラッシュ型EEPROMにて構成されたICメモリカード（単にフラッシュメモリカードと称する。）は、スタティックRAM（SRAM）を用いたICメモリカードとの互換性をとることが望ましい。この場合、フラッシュメモリカードは、SRAMを用いたICメモリカードのインターフェースとほぼ同様のインターフェースを有して、EEPROMに対するデータの読み書き制御は、フラッシュメモリカード内の制御回路にて行われるように構成するのがよい。このようなICメモリカードの一例として、日本電子工業振興協会（JEIDA）にて、デジタルスチルカメラにて使用されるICメモリカードの標準化が進められているものがある。

【0004】 この方式によると、ICメモリカードの記憶領域は、複数のクラスタにて構成され、記憶される画像データは、たとえば1画像コマなどの論理的集合としてのパケットを形成してクラスタ単位で記憶される。さらに記憶領域は、記憶する画像データを管理するための管理データが記憶される管理領域と、画像データが記憶される画像データ領域とによって構成される。管理データ領域は、さらに属性情報、ヘッダ情報、パケット識別情報、ディレクトリ情報およびMAT（Memory Allocation Table）情報が記憶されるそれぞれの領域を有している。画像データは、1つまたは複数のクラスタを含む論理的なパケットを単位として画像データ領域に記憶される。このパケットの開始はディレクトリ情報にて先頭クラスタの開始アドレスとして指示され、複数のクラスタがその画像データに関連している場合、そのパケットに関連するクラスタのつながりがMATにて指示される。また、記憶されるパケットの種別およびパケットの状態を表す属性がパケット識別情報にて指示される。

【0005】

【発明が解決しようとする課題】 上述のようなフラッシュメモリカードは、SRAMによるICメモリカードと較べて、データの書込み時間が長い。デジタルスチルカメラにて撮影されて得られた画像データはデータ量が多いが、そのため、それがICメモリカードに書き込まれている最中にこのICメモリカードが抜かれてしまう、いわゆる「活線抜去」が発生する危険性が多い。データの書込み中に活線抜去が発生すると、その記憶領域には、データが途中まで書き込まれた状態のままであったり、異常

なデータが書き込まれてしまったりして、たとえば管理領域が損なわれた場合などの最悪の場合には、すでにICメモリカードに記憶されているデータが全く読み出せなくなるという問題があった。

【0006】この問題に対するひとつの対策として、パケットの異常を表す識別情報をデータ識別領域に、また活線抜去の有無を表す識別情報を管理領域に、それぞれの識別フラグとして記憶し、ホスト処理装置は、これらのフラグにより、どのパケットの書き込み中に活線抜去がされたかを認識し、ICメモリカード内に記憶されたデータが受けた損傷を軽減させる記憶管理方式がある。これは、本願と同じ出願人により発明者によりすでに出願されている(特願平5-33172)。しかし、この記憶管理方式は、管理データが正常であることを前提としている。活線抜去や電源遮断等の異常操作によって管理データが損傷された場合には、この方法だけでは対応しきれないことがある。そのような場合は、やはりICメモリカードを引き続き使用することができなくなる。

【0007】本発明は、このような従来技術の欠点を解消し、ICメモリカードへのデータ書き込み中に書き込み動作に異常が生じて、たとえカード内の管理データが破壊された場合でも、そのICメモリカードの継続使用が可能なICメモリカードを提供することを目的とする。

【0008】

【課題を解決するための手段】かかる目的を達成するため、本発明によれば、ホスト機器に着脱可能に接続され、ホスト機器から送信されるデータを記憶する書換え可能な不揮発性の第1のメモリと、第1のメモリへ書き込まれ、第1のメモリから読み出されるデータを管理する第1の制御手段と、第1のメモリおよび第1の制御手段とホスト機器との間でデータおよび制御信号の授受を行う第2の制御手段とを有するICメモリカードは、第1のメモリにおけるデータの状態を管理するための可変的な管理情報を格納する、書換え可能な不揮発性の第2のメモリを有し、第1の制御手段は、第1および第2のメモリに記憶されている記憶内容を消去する第1のコマンドを備え、ホスト機器から第1のコマンドを受けると、第1および第2のメモリに記憶されている記憶内容を消去する。

【0009】本発明によればまた、このようなICメモリカードにおいて、第2のメモリは、第1のメモリへの書き込み中における異常操作を表示する識別表示を含み、第1の制御手段は、ICメモリカードが接続されたホスト機器からデータを受信して第1のメモリへ書き込んでいる際に異常操作が生ずると、識別表示を有意状態に設定し、第1の制御手段は、第1のメモリに記憶されている記憶内容を消去する第2のコマンドを備え、ホスト機器から第2のコマンドを受けると、識別表示が有意状態であれば、第1および第2のメモリに記憶されている記憶内容を消去する。

【0010】

【作用】したがって、本発明によるICメモリカードは、ホスト機器へ接続されたICメモリカードがホスト機器から送信されるデータを受信し第1のメモリへ記憶中にホスト機器から離脱、電源断などの異常状態に遭遇した場合、この異常状態の発生したことを識別するための識別表示を第2のメモリへ記憶する。操作者は、ICメモリカードのデータ異常をホスト機器から知ることができる。

【0011】また、ホスト機器から第1のコマンドを受信すると、第1のメモリおよび第3のメモリに記憶されている記憶内容を消去する。これにより、異常操作に遭遇したICメモリカードでも、以降、これを継続的に使用することができる。

【0012】さらに、ホスト機器から第2のコマンドを受信すると、第1の制御手段は、有意の識別符号が記憶されていれば、第1および第2のメモリの記憶内容を消去し、そうでなければ、第1のメモリの記憶内容を消去する。

【0013】

【実施例】次に添付図面を参照して本発明によるICメモリカードの実施例を詳細に説明する。図2を参照すると、本発明のICメモリカードが適用されるデジタルスチルカメラ10の実施例が示されている。デジタルスチルカメラ10は、シャッターリリースボタン(図示せず)の操作に応動して、レンズ12を介して撮像素子14の撮像面に結像した光学像を電気信号に変換し、この信号をデジタルの画像データに変換し、画像データに圧縮処理等のデータ処理を施し、処理された画像データを、カメラ10に装填されたICメモリカード18に書き込む装置である。ICメモリカード18は、そのコネクタ16b(図1)にてカメラ10のコネクタ16aに着脱自在に結合される。

【0014】この実施例におけるICメモリカード18は、異常操作が発生しICメモリカード18内のデータに何らかの不都合が生じた場合でも、これを引き続き使用することが可能なものである。ここで「異常操作」とは、カメラ10からICメモリカード18へのデータの書き込み中に何らかの理由によりカード18が引き抜かれる、いわゆる「活線抜去」や、システム電源が遮断される等の正常でない扱いをいう。以下の説明において、本発明の理解に直接関係のない部分は、図示とその説明を省略する。また、信号はその現れる接続線の参照番号で表す。

【0015】このカメラ10は、被写体から入射される光束を撮像素子14に結像させるレンズ12と、結像した被写体像を表す画像信号を出力する撮像素子14と、この画像信号を増幅して色補正およびガンマ補正などの信号処理を施す信号処理回路20と、処理された画像信号をデジタルの画像データに変換するアナログ・デジタル(A/D)変換回路22と、画像データに圧縮符号化等の符号処理を施して処理後の画像データを一時保持するデータ処理回路24とを備え、これらの回路は、被写体を撮像する

カメラ部26を構成している。

【0016】カメラ10はまた、データおよびアドレスが転送されるバスラインの接続を切り換えてコネクタ16a および16b を介するICメモリカード18とのデータ転送を行うデータセクタ30と、ICメモリカード18に記憶されている管理データを読み出す管理情報読出回路32と、メモリカード18に記憶されている管理データを更新する管理情報更新回路34と、カメラ部26を制御して、さらにメモリカード18への画像データの書き込み制御を行うシステム制御部36とを備えている。

【0017】データセクタ30は、入力100 に入力されるシステム制御部36からの切換信号に応じて、バス102 に接続すべきバスを選択する選択回路である。詳しくはデータセクタ30は、カメラ部26の出力28に接続され、その入力100 に入力されるシステム制御部36からの切換信号100 に応じてバス28をバス102 に接続する。データセクタ30はまた、管理情報読出回路32の入力104 および管理情報更新回路34の出力106 にも接続され、ICメモリカード18に記憶された管理データを読み出す時に切換信号100 に応じてバス102 をバス104 に接続し、またメモリカード18へ管理データの書き込む時にバス102 をバス106 に接続する。さらにデータセクタ30は、切換信号100 に応じてバス102 をバス108 に接続し、システム制御部36の出力108 から出力されるアドレスをICメモリカード18に転送する。

【0018】管理情報読出回路32は、システム制御部36の制御の下に、ICメモリカード18に記憶されている後述の管理データを読み出して、カメラ部26にて得られた画像データを書き込むために必要な情報を得る回路である。管理情報読出回路32は、読み出した管理データをその出力112 に接続されたシステム制御部36に伝達する。管理情報更新回路34は、システム制御部36の制御の下に、画像データがメモリカード18に書き込まれる際に、画像データの記憶管理のために管理データを更新し、更新された管理データをシステム制御部36の制御に応じてメモリカード18に記憶する回路である。管理情報更新回路34は、システム制御部36の出力114 に接続され、入力114 に現れる現在の管理データを認識する。管理情報更新回路34は、認識した管理データに基づいて、カメラ部26にて得られた画像データをメモリカード18に記憶するための新たな管理データを生成する。管理情報更新回路34は、システム制御部36の制御に応じて、更新した管理データをその出力106 に出力する。また、管理情報更新回路34は、システム制御部36から後述の活線抜去フラグを書き込むための情報が伝達されると、その伝達された情報に応じて、活線抜去フラグを「1」または「0」にしてメモリカード18に書き込む。さらに、管理情報更新回路34は、システム制御部36から後述の異常パケットビットを書き込むための情報が伝達されると、その伝達された情報に応じて異常パケットビットを「1」または

「0」としてメモリカード18に書き込む。

【0019】システム制御部36は、カメラ10の全体の動作を制御する回路であり、この実施例では、シャッターリリースボタン等の操作ボタンに反応してカメラ部26を制御して撮影を行ない、得られた画像データをICメモリカード18に書き込む制御を行う機能を有している。このためシステム制御部36は、コネクタ16a に装着されたICメモリカード18の駆動制御を行なう。

【0020】詳しくは、システム制御部36は、メモリカード18を駆動するための制御信号-A/D (図1)、制御信号R/-W、制御信号ELASE およびバスクロックBCK を生成して、その出力110 に出力する。システム制御部36の出力110 は、コネクタ16a に接続されている。また、システム制御部36は、データセクタ30を制御するための切替信号を生成してその出力110 に出力する。システム制御部36の出力110 は、データセクタ30に接続されている。さらにシステム制御部36は、管理情報読出回路32にて読み出した管理データを管理情報更新回路34に伝達し、カメラ部26にて得られた画像データをメモリカード18に記憶する際にこの画像データを管理するための管理データを生成させる。システム制御部36は、活線抜去フラグおよび異常パケットビットをメモリカード18に書き込むための指示を管理情報更新回路34に伝達する機能を有している。活線抜去フラグは、ICメモリカード18がデータ書き込み中に抜去または電源断などの異常操作が行なわれたことを表すためのフラグである。異常パケットビットは、この抜去時に書き込み途中のパケットであったことを表すためのフラグである。

【0021】一方、実施例におけるICメモリカード18は、図1に示すように、画像データとその記憶を管理するための管理データを記憶する記憶部40と、記憶部40へのデータの書き込み制御および読出し制御を行う記憶制御部42とを備えている。記憶部40は、データ領域および管理領域を含む。データ領域は、画像データを記憶するメモリ領域であり、本実施例では、電氣的に消去および再書き込み可能なフラッシュ型のEEPROM 60 にて構成されている。また管理領域は、EEPROM 60 の記憶画像データを管理するための各種の情報を記憶するメモリ領域であり、例えば読出し専用のROM セルとバイト書換型EEPROM セルとによって構成される。これを参照符号62で示す。管理領域62を構成するROM セルは、ワイヤードによって記憶内容が形成される固定情報が格納され、EEPROMセルへは可変情報が格納される。

【0022】管理領域62における両方式の記憶セルは、図3に示すように、カード属性情報領域310 にROM を、その他の領域320、330、340、350および 360にEEPROMを割り当てる。カード属性情報領域310 はたとえば、メモリカード18がフラッシュ型であること、およびEEPROMであることなどの固定情報を含み、これにROM セルを用いるのは、この領域310 へ記憶するデータには変更が生ぜず、

また異常操作による内容の変化を避けるためでもある。また、管理領域62の他の領域へは、データを1バイト毎に書き換えることが可能なバイト書換型のEEPROMセルが割り当てられる。他方の画像データ領域60へは、ブロック毎に書き換えが可能なフラッシュ型のEEPROMセルが割り当てられる。

【0023】図1に戻って、ICメモリカード18の記憶制御部42は、フラッシュ型EEPROM60へのリード/ライトを行うコントローラ50と、コントローラ50および管理領域62のシーケンスおよびアドレス制御を行う中央処理装置(CPU)46とを備えている。コントローラ50は、コネクタ16bを介してカメラ10から与えられる制御信号R/-WとCPU46から与えられるアドレス置換情報とを基にフラッシュ型EEPROM60へのリード/ライトを行う。CPU46は、管理領域62へアクセスすることができ、コネクタ16bおよびコントローラ50を経由してカメラ10から与えられる制御信号R/-Wに従って管理領域62の読出し書込みシーケンスおよびアドレス制御を行う。記憶部40において、管理領域62とCPU46との間では接続線202を介して読出しおよび書込みの信号が授受され、データ領域60とコントローラ50との間では接続線206を介して読出しおよび書込みの信号が授受される。

【0024】これらの管理領域62およびデータ領域60を詳述すると、図3に示すように記憶部40の記憶領域300は、メモリの管理単位となるクラスタに区画化されている。この実施例では、それぞれのクラスタは8Kバイトの記憶容量を有し、記憶領域300は第0クラスタから第2047クラスタまでにより構成される。記憶領域300は、上述のように管理領域62とデータ領域60とに区分される。管理領域62の第0クラスタには、ICメモリカード18の固有の情報が記憶されたカード属性情報領域310と、記憶領域300の使用状況などを表すヘッダ情報が記憶されるヘッダ領域320と、画像データの記憶単位となるパケットを構成しているデータの属性および種別が記憶されるパケット識別情報領域330と、各パケット毎に関連するパケットが記憶されるパケット関連情報領域340とが管理情報として格納される。また、管理領域62の第1クラスタには、各パケットの先頭のクラスタを示すスタートクラスタの識別情報が記憶されるディレクトリ情報領域350と、パケットごとにその画像データが記憶されているクラスタの識別情報が連鎖として記憶されるMAT(Memory Allocation Table)領域360とが形成されている。

【0025】とくに、ROMによって構成されるカード属性領域310には、図4に示すように、各領域を構成するメモリセルの種類およびそれらのリードタイム、ライトタイム等のデータの他に、CPU46によってメモリカード18に実行される固有の処理ステップおよびプログラムが格納される。また、図5に示すヘッダ情報領域320にはテンポラリ情報タプル370が含まれ、これには、記憶領

域300内の未使用の残留クラスタ数および使用クラスタ数と、最終使用パケット番号と、先頭未使用クラスタ番号と、これらの情報の誤りを検出するための符号が記憶されるパリティとがパケットの記憶の都度、更新されて書き込まれる。さらに、この実施例のテンポラリ情報タプル370には、アドレス置換情報と活線抜去フラグが記憶される。

【0026】アドレス置換情報は、図6に示すように、論理メモリ空間対実メモリ空間のアドレス変換表であり、データ領域60の不良メモリ素子をそれを含むセクタ単位で除外するためのものである。記憶機能に不良を生じた素子またはセクタは、データ記憶のためにアクセスする最小論理アドレス1から最大アドレスN(自然数)までの外に排斥することにより、これへの画像データの記憶のアクセスが行われないようにしている。一例として掲げた図6の置換表では、実メモリ空間M(Nより大きい自然数)と論理メモリ空間Nとが条件 $M \geq N + k$ を満足し、不良メモリ素子がなく論理メモリ空間と実メモリ空間とが1対1に対応する場合を同図(b)に示す。これに対して、自然数k個の欠陥セクタが生じた場合を同図(b)に示している。これからわかるように、欠陥素子を含む記憶位置の論理アドレス $i \sim j$ には、実メモリ空間のアドレスとして最大値Nより大きい $N+2 \sim N+j$ のアドレスが付与され、これによって論理アドレス空間の外に再配置される。このようなメモリ空間の際は位置は、本実施例ではCPU46が行なう。不良メモリ素子は、たとえばパリティビットの不整合をCPU46が検出することで知ることができ、また、アドレス置換情報を使用することによって、不良メモリ素子の使用を中止し、常に正常な状態の画像データ蓄積領域を確保することができる。

【0027】テンポラリ情報タプル370における活線抜去フラグは、画像データの書込みを開始する際に、データ領域60へのパケットの書込み、および管理領域62に記憶された管理データの更新、書込みに先立って、CPU46が2進値「1」を設定し、パケットの書込みが完了した時に2進値「0」にCPU46から設定される。したがって、ICメモリカード18へのパケットおよび管理データの書込みが正常に行われて終了したメモリカード18は、活線抜去フラグが「0」となっている。また、パケットおよび管理データの書込み中にメモリカード18が抜去されるなどして書込みが中断したカード18では、活線抜去フラグが「1」のままテンポラリ情報タプル370に記憶されている。

【0028】パケット識別情報領域330には、データ領域60に記憶されるパケットのそれぞれに対応して1バイトが割り当てられ、対応するパケットの識別情報が記憶される領域である。この識別情報330は、パケットのデータ種類を表す種別と、パケットの状態を表す属性とから構成される。この実施例では、パケットの種類は、図7(a)に示すように、データ領域60に記憶されるパケッ

トに対応して、それが画像情報であることを表す識別情報、すなわちビットD2～D0にそれぞれ「0」が設定される。

【0029】また、パケットの属性は、同図(b)に示すように、残りのビットD7～D3が割り当てられ、やはりパケットに対応して、ビットD7はパケットが記憶されていることを示す使用済みビットであり、ビットD6はこのパケットへの書き込みの可否を示すライトプロテクトビットであり、ビットD5はこのパケットのデータの書き込み中に活線抜去などの異常操作がされたことを示す異常パケットビットであり、ビットD4は記憶されている情報の複製の可否を示すコピープロテクトビットであり、ビットD3はメモ리카ード18の複製が行われたかを否かを示すコピー済みビットである。

【0030】とくに、異常パケットビットD5は、対応するパケットの記憶に先立って、そのパケットの識別情報としての2進値「1」がCPU 46によってパケット識別情報領域330に書き込まれ、また、そのパケットの記憶が正常に記憶完了となった直後に2進値「0」が書き込まれる。したがって、正常に記憶されたパケットビットに対応するパケット識別情報の異常パケットビットは「0」となる。また、例えば、あるパケットの記憶動作中にICメモ리카ード18が抜去されてパケットデータの書き込みが中断すると、そのパケットに対応する異常パケットビットは2進値「1」のままパケット識別情報領域330に記憶されている。

【0031】図3に戻って、記憶領域300のデータ領域60は、第2クラスター～第2047クラスターが割り当てられ、それぞれのクラスターには、カメラ10にて撮影された画像データが格納される。1コマの画像を表す画像データは、例えば、複数のクラスターを占有して1パケットとしてデータ領域60に格納され、この画像データは、パケット単位で管理領域62にて管理される。それぞれのパケットは、例えば、連続した複数のクラスターを使用してもよく、また、飛びとびの複数のクラスターを使用してもよい。パケットの開始を示すスタートクラスターの番号は、第1クラスターのディレクトリ情報領域350に記憶され、そのパケットを構成する複数のクラスターの接続または連鎖状態を表すMAT情報は、MAT領域360に記憶される。

【0032】上述の説明でわかるように、活線抜去やシステム電源の中断等の異常事態に対していくつかの対策がなされている。これらの対策は、すでにICメモ리카ード18へ記憶されている画像データおよび新規に書き込み中の画像データ等をできるだけ正常状態へ復帰させるためのものである。さらに本実施例では、CPU 46が次のような措置を採ることによって、たとえ管理領域62のデータが破壊された場合でも、そのメモ리카ード18を以降、引き続き使用することが可能なようにしている。このため本実施例では、CPU 46は、メモ리카ード18の初期化とシステムリセット行なうことができる。

【0033】初期化では、CPU 46がデータ領域60のすべてのデータをクリアし、初期状態、たとえば「全0」にする。この場合、管理領域62はクリアされず、すでに記憶されている管理データは継続的に使用することができる。また、システムリセットでは、CPU 46は、記憶領域300における管理領域62の固定情報以外の、つまりROM以外の消去可能なすべてのデータをクリアする。そこで本実施例では、CPU 46にシステムリセットコマンドおよび初期化コマンドが用意されている。CPU 46は、カード18に接続されるカメラ10などのホスト処理装置からコントローラ50を介してこのシステムリセットコマンドを受けると、記憶領域300におけるROM以外の全データを消去することができる。したがってこの場合は、アドレス置換情報も消去される。CPU 46はまた、前述のようにヘッダ情報320における活線抜去フラグを管理しているが、これによって活線抜去やシステム電源断等の異常操作を検出すると、初期化コマンドを受けたことを条件としてシステムリセットを行なうことができる。

【0034】ICメモ리카ード18における初期化およびシステムリセットの実行過程を図8のフローチャートを参照して説明する。ホスト機器10からの指令は、コネクタ16bからコントローラ50を経由してCPU 46へ伝達される。CPU 46は、その指令がシステムリセットコマンドか否かをチェックする(S11)。システムリセットコマンドであれば、システムリセットのサブルーチンS18を実行する。つまりCPU 46は、記憶領域300におけるROM以外の全データを消去する。ステップS11において、システムリセットコマンドでない場合には、CPU 46はその指令が初期化コマンドであるか否かを判別する(S12)。ステップS12のチェックの結果が「N0」の場合には、このルーチンを終了して他の対応ルーチンへ移行する。

【0035】ステップS12において初期化コマンドであれば、CPU 46は、管理領域62のヘッダ領域320内であるテンポラリ情報タブル370内の活線抜去フラグを読み出し、それが「1」であるか否かをチェックする(S13)。活線抜去フラグが「1」であれば、システムリセットサブルーチンS18を実行する。活線抜去フラグが「0」であれば、ステップS14に移行し、CPU 46はさらに、パケット識別情報領域330内の異常パケットビットD7が「1」であるか否かをチェックする(S14)。このチェックの結果、異常パケットビットD7が「1」であれば、システムリセットサブルーチンS18を実行する。異常パケットビットD7が「0」であれば、ステップS15に移り、管理領域62内のデータにおける論理誤り有無をパリティビットに基づいて検査する。このパリティ検査S15の結果、所定の数P以上のデータ誤りがあった場合には、システムリセットサブルーチンS18を実行する。ステップS16において、データ誤りがP個未満であれば、データ領域60の初期化ステップS17を実行して処理を終了する。つまりCPU 46は、データ領域60のすべてのデータをクリア

し、これを初期状態にする。なお、所定の数Pは、記憶領域 300の記憶容量等の条件に応じて定められる正の正数である。

【0036】このように本実施例では、ICメモリカード18の状態をチェックすることにより、異常操作の場合だけでなく、ハード上の故障による初期状態等におけるトラブルも軽症のうちに検出され、ICメモリカード18の信頼性を向上させることができる。操作者が異常操作の発生の有無を知り得ることは、正しい操作を操作者に促すこととなる。また、データ内容の異常の有無を確認し易くなる。

【0037】なお、上述の実施例は本発明のひとつの好適な実施例ではあるが、本発明は必ずしもこれのみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々変形が可能である。例えば、管理領域62のROM領域がワイヤード式のROMであったが、PROMであってもよい。また、その他のEEPROM部分をSRAMとしてもよい。さらに、各領域の容量配分は実施例の配分に限らない。

【0038】さらに、上述の実施例では、ホスト処理装置が電子スチルカメラ10であったが、このほかに、画像データの記録機能を有する、たとえばコンピュータグラフィックデータを生成、記録する画像データ記録装置や、画像再生機等の他のホスト処理機器であってもよい。また、記録するデータは、画像データのものに限定されず、他のデジタルデータであってもよい。

【0039】

【発明の効果】以上の説明より明かなように、本発明のICメモリカードは、活線抜去などの異常操作によりメモリカードのデータが損傷された場合、たとえば画像データの例では、特定のコマの画像データが破壊されているような場合、ホスト機器からシステムリセットコマンドを送ってこのデータ損傷による影響をなくすることができる。したがって、そのICメモリカードを以降、適切に使用することが可能となる。

【0040】また、ホスト機器から初期化コマンドを送れば、ICメモリカードで自動的にシステムリセットまたは初期化が実行され、データの損傷が解消される。

【図面の簡単な説明】

【図1】本発明によるICメモリカードの一実施例を示すブロック図である。

【図2】本発明によるICメモリカードが適用されるデジタル電子スチルカメラの一実施例を示すブロック図である。

【図3】図1に示したICメモリカードの記憶領域の構成例を示す図である。

【図4】図3に示したカード属性情報領域の構成例を示す図である。

【図5】図3に示したヘッダ領域の構成例を示す図である。

【図6】図5に示したヘッダ領域の一部である論理メモリ空間と実メモリ空間との変換テーブルを例示した図である。

【図7】図3に示したパケット識別情報領域の構成例を示す図である。

【図8】図1に示すICメモリカードの初期化およびシステムリセットに移行する動作例を示すフローチャートである。

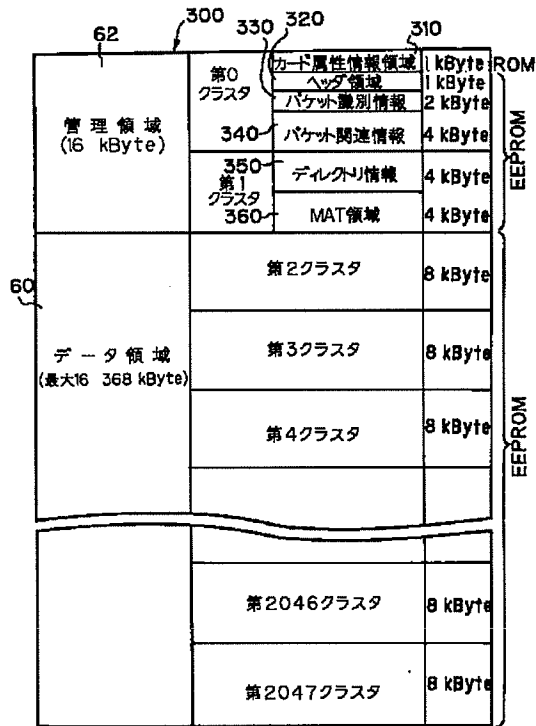
【符号の説明】

- 16b コネクタ
- 19 ICメモリカード
- 40 記憶制御部
- 42 記憶部
- 46 中央処理装置(CPU)
- 50 コントローラ
- 60 データ記憶領域(フラッシュ型EEPROM)
- 62 管理データ記憶領域(ROM およびバイト書換型EEPROM)
- 110 コマンドライン
- 102, 202, 206 バスライン

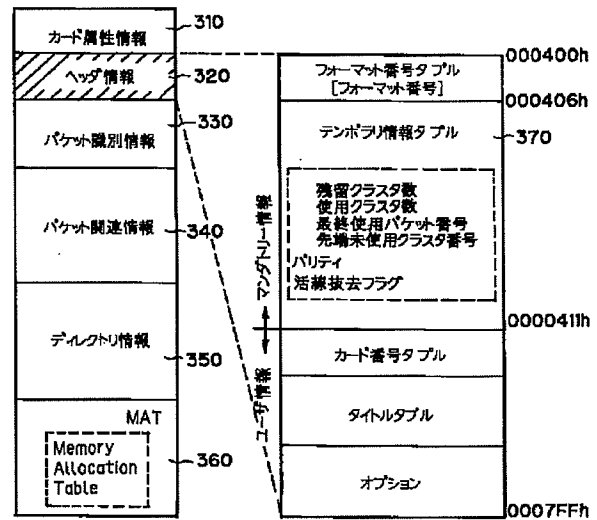
The diagram illustrates the internal architecture of a device, enclosed in a dashed box labeled 18. On the left, a vertical rectangle labeled 16b represents a connector or interface. It has four horizontal signal lines connecting to a central block labeled 50, which is the "コントローラ" (Controller). These lines are labeled from top to bottom as "-A/D", "R/-W", "ELASE", and "BCK". Below the controller block 50 is another block labeled 46, representing the "CPU". A bidirectional arrow connects the controller 50 and the CPU 46. To the right of the CPU is a large rectangular area labeled 40, which contains two main storage components. The upper component is a block labeled 62, identified as "ROM及びバイト書換型EEPROM". The lower component is a block labeled 60, identified as "フラッシュ型EEPROM". Bidirectional arrows connect the CPU 46 to both the ROM/EEPROM block 62 (labeled 202) and the Flash EEPROM block 60 (labeled 206). Additionally, there are bidirectional arrows connecting the connector 16b to the controller 50 (labeled 110 at the top and 102 below) and to the Flash EEPROM block 60 (labeled 42).

Figure 1 is a block diagram of a system 10. The system includes an antenna 12, a filter 14, a signal processing block 20, an A/D converter 22, and a data processing block 24. The data processing block 24 is connected to a data selector 30 via a data line 28. The data selector 30 is connected to a system control unit 36 via an address line 108 and a data line 102. The system control unit 36 is connected to a management information output circuit 32 and a management information update circuit 34. The management information output circuit 32 is connected to a connector 16a via a management information output circuit 110. The management information update circuit 34 is connected to a connector 16a via a management information update circuit 112. The connector 16a is connected to a network 18.

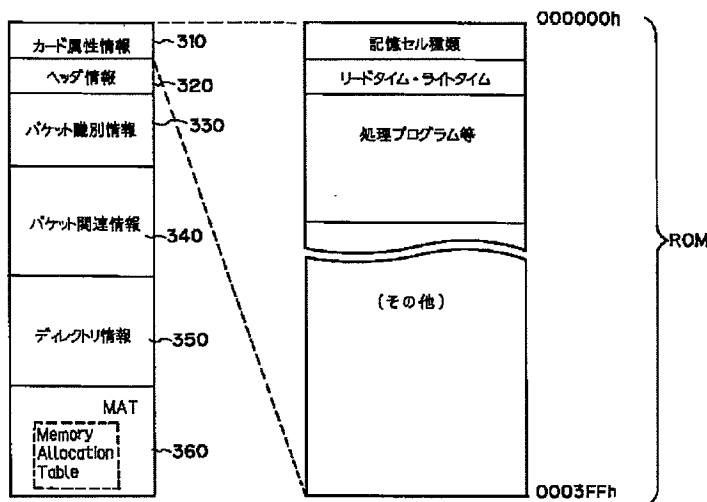
【図3】



【図5】



【図4】



【図6】

(a)

論理メモリ空間	実メモリ空間
1	1
2	2
3	3
⋮	⋮
⋮	⋮
N	N

(b)

論理メモリ空間	実メモリ空間
1	1
2	2
3	3
⋮	⋮
1	N+2
⋮	⋮
1	N+k
⋮	⋮
N	N

【図7】

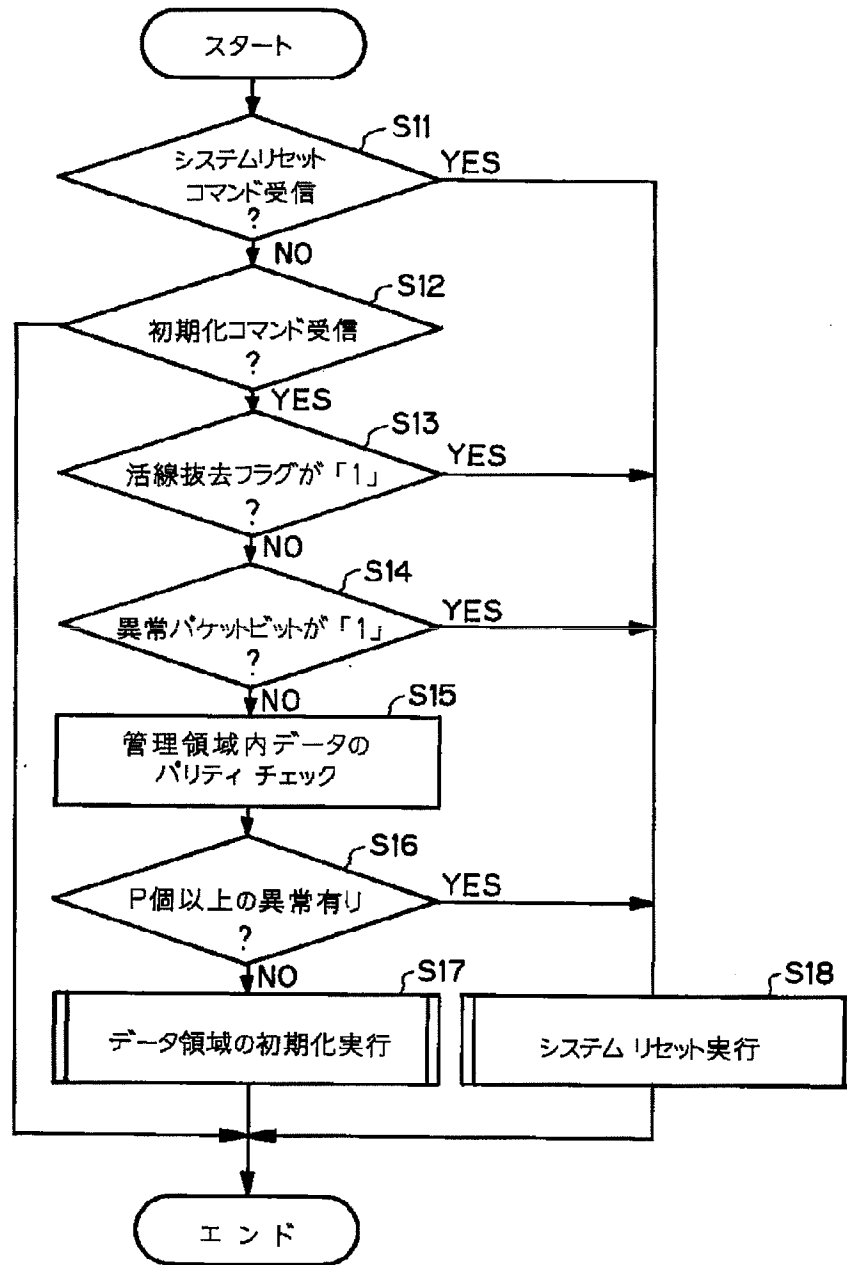
(a)

D2	D1	D0	
0	0	0	画像情報 (デフォルト)
0	0	1	音声情報
0	1	0	バンク管理情報
0	1	1	ヘッダ ユニーク情報
1	0	0	
⋮	⋮	⋮	
1	1	1	Reserved

(b)

D7	使用済み	D6	ライト プロテクト	D5	異常 パケット	D4	コピー プロテクト	D3	コピー 済み
0	NO	0	OFF	0	OFF	0	OFF	0	NO
1	YES	1	ON	1	ON	1	ON	1	YES

【図8】



フロントページの続き

(51)Int.Cl.⁶
G11C 16/06

識別記号 庁内整理番号

F I

技術表示箇所